



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63217401 A**(43) Date of publication of application: **09.09.88**

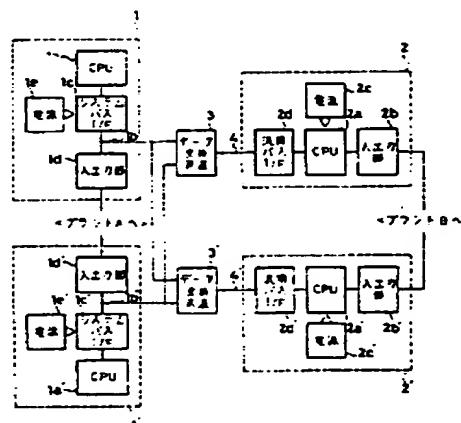
(51) Int. Cl.

G05B 9/03**G06F 5/00****H04B 1/74****H04L 1/22****H04L 13/00****H04L 13/00**(21) Application number: **62050196**(22) Date of filing: **06.03.87**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **KOMIYAMA TADASAKI****(54) DATA CONVERTING DEVICE****(57) Abstract:**

PURPOSE: To ensure the proper transmission of data between a duplex control device and a single control device by delivering the transmission data to the control device of the remote side by a control means via an interface in a state where a protocol is converted.

CONSTITUTION: The transmission of data is performed between control devices 1 and 1' and a control device 2 via a data converting device 3 while the device 2 is controlling a plant B. In this case, a control device 2' is kept under a waiting state and therefore no significant data is sent to system buses 1b and 1b' from a data converting device 3'. Thus data are never sent simultaneously to both buses 1b and 1b' from both devices 3 and 3'. At the same time, data are sent to the device 2' from devices 1 and 1' via the device 3'. However the device 2' does not fetch the data. Then the device 2' becomes active and the transmission of data is carried out between the device 2' and the devices 1 and 1' via the device 3' as soon as the device 2 has a fault and is set under a waiting state.

COPYRIGHT: (C)1988,JPO&Japio



THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

昭63-217401

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和63年(1988)9月9日

G 05 B 9/03
G 06 F 5/00
H 04 B 1/74
H 04 L 1/22
13/00

3 0 5
3 1 1

6728-5H
Z-7230-5B
6745-5K
8732-5K
B-7240-5K
7240-5K

審査請求 未請求 発明の数 1 (全5頁)

⑰ 発明の名称 データ変換装置

⑱ 特 願 昭62-50196

⑲ 出 願 昭62(1987)3月6日

⑳ 発 明 者 小 宮 山 正 前 東京都府中市東芝町1番地 株式会社東芝府中工場内
㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
㉒ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

データ変換装置

2. 特許請求の範囲

二重化制御装置のおおのとおと接続するための第1のインタフェースと、前記二重化制御装置とデータをやりとりする一重化制御装置と接続するための第2のインタフェースと、前記第1のインタフェースから入力した2系統のデータの一致を判別し、一致したデータを前記第2のインタフェースを介して前記一重化制御装置へ出力する一方、前記第2のインタフェースから入力した伝送データを前記第1のインタフェースから同時に前記二重化制御装置へ出力することを特徴とするデータ変換装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、二重化制御装置と一重化制御装置間でデータをやりとりするためのデータ変換装置

に関する。

(従来の技術)

例えば、大規模な工業プラントでは、そのプラントを構成しているプラントをおのおのの独立して制御し、さらに、それらの制御状態を統合化して全体を有機的に制御している。また、とくに高い信頼性を要求されるプラントを制御する制御装置は二重化される。

このように、同一のプラント内に二重化された制御装置(以下、二重化制御装置という)と、二重化されていない制御装置(以下、一重化制御装置という)が存在する場合があります。それらの間で相互にデータをやりとりするとき、従来、次のような不都合を生じていた。なお、一重化制御装置には、2つ以上の制御装置を備え、常時1つの制御装置を作動し、それ以外の制御装置を待機しておく待機系を備えた制御装置を含むものとする。

(発明が解決しようとする問題点)

まず、二重化制御装置と一重化制御装置のデータ形式およびデータ伝送形式(プロトコル)が相

達した場合には、適切なデータ伝送を実行できない。

また、例えば、RS-232C、RS-422あるいはGP-IB等のいわゆる汎用バスを使用して物理的なインタフェースを共通にした場合でも、それ以外のプロトコルが共通でなければ適切なデータ伝送を実行できない。なお、汎用バスは多重化についての規定がなく、二重化制御装置を直接接続することができない。

本発明は、このような従来技術の不都合を解消するためのもので、二重化制御装置と一重化制御装置を相互接続できるデータ変換装置を提供することを目的としている。

〔発明の構成〕

（問題点を解決するための手段）

本発明は、二重化制御装置および一重化制御装置とそれぞれ物理的に接続するためのインタフェースと、二重化制御装置および一重化制御装置とそれぞれ論理的に接続するためにプロトコル変換機能を備えた制御手段を備えたものである。

るシステムバス1b,1b'にCPU1a,1a'を接続するためのシステムバスインタフェース1c,1c'、プラントAとデータをやりとりするための入出力部1d,1d'、および、電源1e,1e'からなる。また、制御装置1,1'は、システムバス1b,1b'によってデータ変換装置3に接続されている。

制御装置は、制御処理を実行するCPU2a、プラントBとデータをやりとりするための入出力部2b、電源2c、および、汎用バス4を介してデータ変換装置3と接続するための汎用バスインタフェース2dからなる。

データ変換装置3は、第2図に示ように、システムバス1b,1b'と物理的に接続するとともに、所定のデータ入出力処理を実行するシステムバスインタフェース3a,3b、制御処理を実行するCPU3c、CPU3cのワークエリア等を構成するメモリ3d、および、汎用バス4と物理的に接続するとともに、所定のデータ入出力処理を実行する汎用バスインタフェース3eからなる。

以上の構成で、制御装置1,1'は、プラントAか

（作用）

したがって、二重化制御装置から一重化制御装置への伝送データ、および、一重化制御装置から二重化制御装置への伝送データは制御手段によりプロトコルが変換された状態で、おのおののインタフェースを介して相手側の制御装置に出力され、二重化制御装置と一重化制御装置の間のデータ伝送が適切に行なわれる。

（実施例）

以下、添付図面を参照しながら、本発明の実施例を詳細に説明する。

第1図は、本発明の一実施例にかかるデータ変換装置を備えたプラント制御装置を示す。

同図において、プラントA(図示略)は、制御装置1,1'からなる二重化制御装置により制御され、プラントB(図示略)は、制御装置2により制御される。制御装置1,1'と制御装置2は、データ変換装置3を介してデータをやりとりする。

制御装置1,1'は、制御処理を実行するCPU(中央処理装置)1a,1a'、制御装置1,1'の内部を接続す

らのプロセスデータを同時に入力して同一の制御処理を実行し、制御データを同時にプラントAに出力するとともに、プラントAとプラントBを協調動作するために制御装置2に出力するデータを同時にデータ変換装置3に伝送する。

これらのデータは、システムバス1b,1b'におけるプロトコルに従い、システムバスインタフェース3a,3bを介してデータ変換装置3に取り込まれる。

データ変換装置3のCPU3cは、システムバスインタフェース3a,3bを介して制御装置1,1'から入力したデータを相互に比較し、一致したものを制御装置2に対する伝送データとして一旦メモリ3dに蓄積する。

そして、メモリ3dに蓄積した伝送データを制御装置2が受信できるデータ形式に変換したのちに、汎用バスインタフェース3eにより、汎用バス4におけるプロトコルに従って汎用バス4を介して制御装置2に伝送する。

制御装置2のCPU2aは、汎用バス4を介して伝送されてくるデータを汎用バスインタフェース2dを

介して取り込み、その内部処理に使用する。

また、制御装置2は、プラントBからのプロセスデータを入力して所定の制御処理を実行し、制御データをプラントBに出力するとともに、プラントAとプラントBを協調動作するために制御装置1、1'に出力するデータを汎用バス4を介してデータ変換装置3に伝送する。

これらのデータは、汎用バスインタフェース3aにより、汎用バス4におけるプロトコルに従い、データ変換装置3に取り込まれる。

データ変換装置3のCPU3cは、汎用バスインタフェース3aを介して制御装置2から入力したデータを、制御装置1、1'に対する伝送データとして一旦メモリ3dに蓄積する。次いで、メモリ3dに蓄積した伝送データを制御装置1、1'が受信できるデータ形式に変換したのちに、システムバスインタフェース3a、3bにより、システムバス1b、1b'におけるプロトコルに従い、同時に制御装置1、1'に伝送する。

制御装置1、1'のCPU1a、1a'は、システムバス1b、

制御装置1、1'はシステムバス1b、1b'により接続され、データ変換装置3'と制御装置2'は汎用バス4'によって接続されている。

以上の構成で、制御装置2がプラントBを制御しているときには、上述と同様にしてデータ変換装置3を介し、制御装置1、1'と制御装置2のデータ伝送がなされる。

このとき、制御装置2'が待機状態になっているので、データ変換装置3'から有意データがシステムバス1b、1b'に伝送されないで、データ変換装置3とデータ変換装置3'からシステムバス1b、1b'にデータが同時に送出することがない。

また、制御装置1、1'からデータ変換装置3'を介して制御装置2'にデータが伝送されるが、制御装置2'によりそのデータは取り込まれない。

そして、制御装置2に障害が発生し、制御装置2が待機状態に移行すると同時に制御装置2'が動作状態に移行したときには、データ変換装置3'を介し、上述と同様にして制御装置1、1'と制御装置2'のデータ伝送がなされる。

1b'を介して伝送されてくるデータをシステムバスインタフェース1c、1c'を介して取り込み、その内部処理に使用する。

このように、データ変換装置3を介し、制御装置1、1'と制御装置2とのデータ伝送が適切に行なわれる。

上述した実施例では、プラントBを1つの制御装置2によって制御しているが、本発明は、プラントBを待機系を備えた制御装置で制御する場合にも適用でき、かかる場合の実施例を第3図に示す。なお、同図において、第1図と同一部分には同一符号を付している。

図において、制御装置2'は、制御装置2と同一に構成されている。プラントBは、常時は制御装置2によって制御されている。そして、制御装置2に障害が発生すると、制御装置2に代って制御装置2'がプラントBを制御する。

データ変換装置3'は、データ変換装置3と同一に構成されており、制御装置1、1'と制御装置2'の間のデータ変換を実行する。データ変換装置3'と

ところで、上述した実施例では、制御装置1、1'が常時平行に動作しているが、一方の制御装置1、1'に障害が発生したとき、その障害が発生した制御装置を切り離し、他方の正常な制御装置のみがプラントを制御するようなシステムにも、本発明を適用することができる。その場合、各システムバスのデータ伝送を監視し、一方のシステムバスよりデータを受信してから所定時間内に他方のシステムバスよりデータを受信できなかったときに、その他方のシステムバス側の制御装置に障害が発生していると判断し、切り離しを行なうことができる。

なお、本発明は、上述したように、プラントを制御する制御装置を相互接続する場合以外にも適用することができる。

[発明の効果]

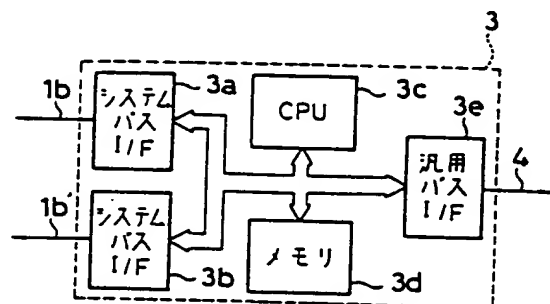
以上説明したように、本発明によれば、二重化制御装置から一重化制御装置への伝送データ、および、一重化制御装置から二重化制御装置への伝送データは制御手段によりプロトコルが変換さ

れた状態で、おのこのインタフェースを介して相手側の制御装置に出力され、二重化制御装置と一重化制御装置とのデータ伝送が適切に行なわれるという効果を得る。

4. 図面の簡単な説明

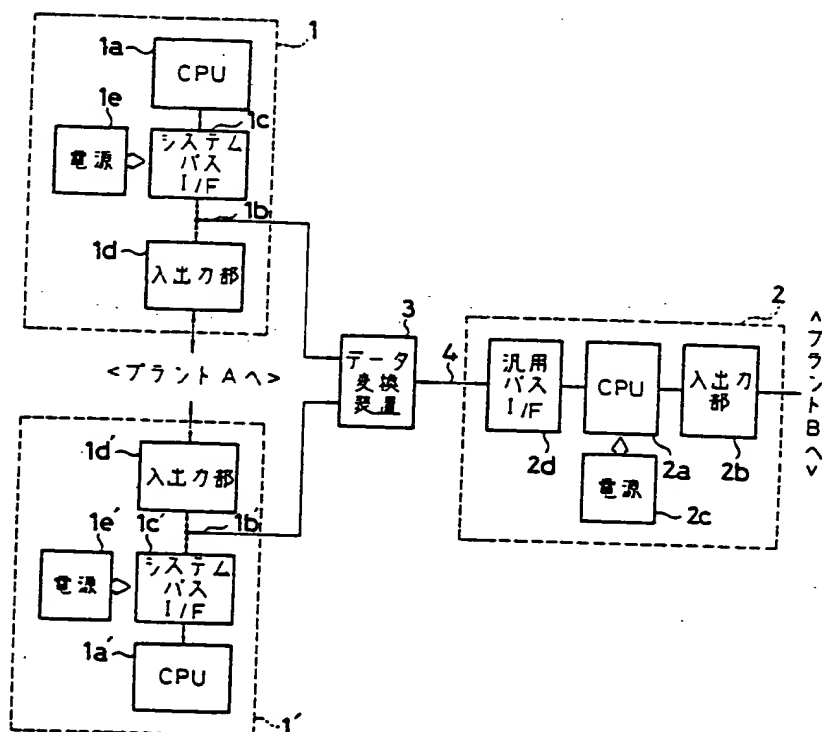
第1図は本発明の一実施例にかかるシステムを示すブロック図、第2図はデータ変換装置の一例を示すブロック図、第3図は本発明の他の実施例にかかるシステムを示すブロック図である。

1, 1'...制御装置、1b, 1b'...システムバス、3, 3'...データ変換装置、3a, 3b...システムバスインタフェース、3c...CPU(中央処理装置)、3d...メモリ、3e...汎用バスインタフェース。

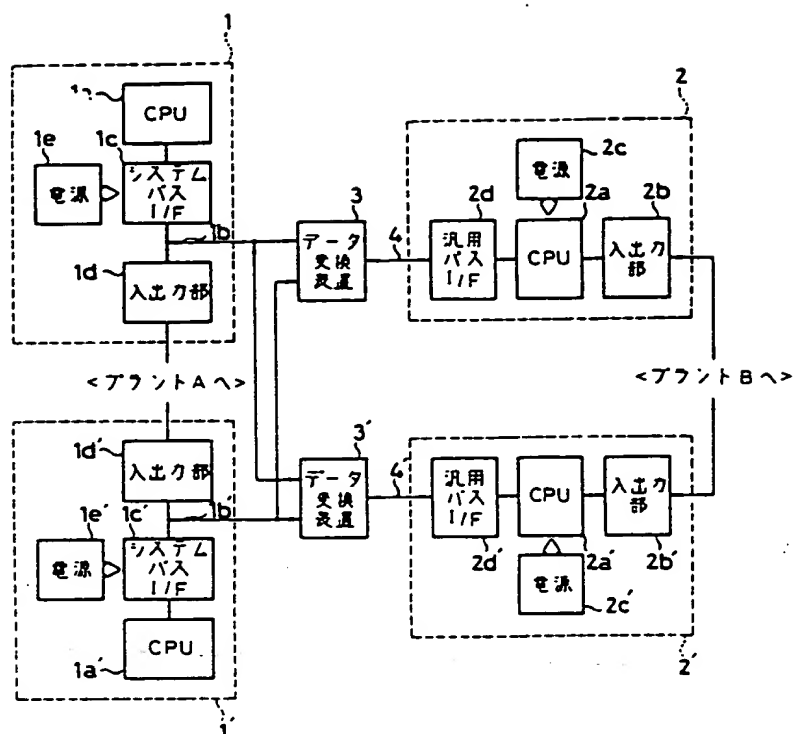


第 2 図

(7317) 代理人 弁理士 則 近 憲 佑
(8105) 同 三 保 弘 文



第 1 図



第 3 図

THIS PAGE BLANK (USPTO)